

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-307724

(43)公開日 平成7年(1995)11月21日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 04 L 1/06				
H 04 B 7/08	D			
H 04 L 27/00				
27/18	Z 9297-5K	9297-5K	H 04 L 27/00	Z
			審査請求 未請求 請求項の数 3	OL (全 8 頁)

(21)出願番号 特願平6-101027

(71)出願人 000001889

三洋電機株式会社

(22)出願日 平成6年(1994)5月16日

大阪府守口市京阪本通2丁目5番5号

(72)発明者 飯沼 敏範

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

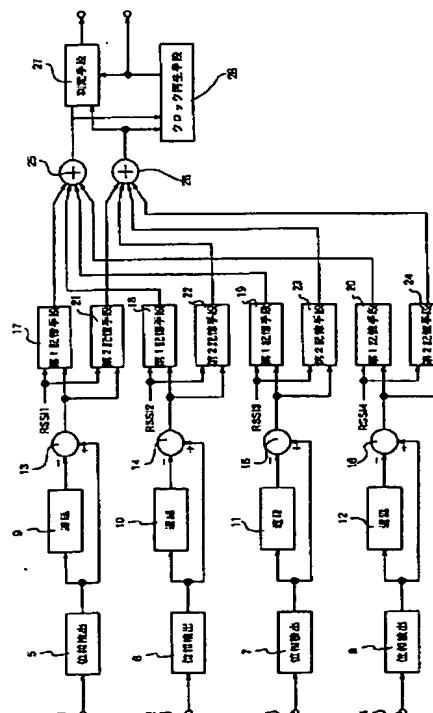
(74)代理人 弁理士 安富 耕二

(54)【発明の名称】 ダイバーシチ装置

(57)【要約】

【目的】 最大比合成ダイバーシチ装置をメモリーや加算器などIC化に適した小規模のデジタル回路のみで構成することができ、また無線回路では構成が簡単な非線形増幅を行うことができるダイバーシチ装置を実現する。

【構成】 受信信号の位相に関する受信位相データ検出し、受信信号の大きさに関する受信レベルデータと前記受信位相データが入力されるとともに受信レベルデータ、あるいは、受信レベルデータの2乗と受信位相データの正弦との積を出力する複数の第1記憶手段17、18、19、20と、受信レベルデータと受信位相データが入力されるとともに受信レベルデータ、あるいは、受信レベルデータの2乗と受信位相データの余弦との積を出力する複数の第2記憶手段21、22、23、34と、複数の第1および第2記憶手段から出力されるデータをそれぞれ加算する加算手段25、26とを有する。



【特許請求の範囲】

【請求項 1】 ダイバーシチ装置において、受信信号の位相に関する受信位相データを入力する入力手段と、受信信号の大きさに関する受信レベルデータと前記受信位相データが入力されるとともに受信レベルデータ、あるいは、受信レベルデータの2乗と受信位相データの正弦との積を出力する複数の第1記憶手段と、受信レベルデータと受信位相データが入力されるとともに受信レベルデータ、あるいは、受信レベルデータの2乗と受信位相データの余弦との積を出力する複数の第2記憶手段と、該複数の第1および第2記憶手段から出力されるデータをそれぞれ加算する加算手段とを有することを特徴とするダイバーシチ装置。

【請求項 2】 受信信号の位相を検出する位相検出手段と、該位相検出手段のデータを1シンボル時間遅延させる遅延手段と、前記位相検出手段の出力データと前記遅延手段の出力データとの差を計算する計算手段とを有する請求項1記載のダイバーシチ装置。

【請求項 3】 請求項1記載のダイバーシチ装置において、第1及び第2記憶手段を、受信位相データを一方のアドレスとし、受信レベルデータを他方のアドレスとともに、これら両方のアドレスによって特定されるデータを演算結果として出力するROMで構成したことを特徴とするダイバーシチ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、無線通信機器に用いられるダイバーシチ装置に関する。

【0002】

【従来の技術】 従来、デジタル方式の通信機器においては、伝送の効率化のために、デジタルの情報信号（ベースバンド信号）で搬送波信号を変調することによって、情報信号の伝送が行われている。このような変調の方式としては、デジタルのベースバンド信号（変調信号）に応じて搬送波信号の振幅を変化させる振幅変調方式（ASK: Amplitude Shift Keying）、変調信号に応じて搬送波の周波数を変位させる周波数変調方式（FSK: Frequency Shift Keying）、変調信号に応じて搬送波の位相を変化させる位相変調方式（PSK: Phase Shift Keying）、変調信号に応じて搬送波の振幅及び位相をそれぞれ独立して変化させる直交振幅変調方式（QAM: Quadrature Amplitude Modulation）などの種々の方式が用いられている。

【0003】 これらのデジタル変調方式は、移動通信等に適用した場合、電波の反射や散乱などの影響で受信レベルが激しく変動するフェージング現象によって受信性能が著しく劣化することが知られている。フェージングによる受信レベル低下を補う有効な方法として複数の受

信系を用いて受信を行うダイバーシチ受信等が実用化されている。

【0004】 ダイバーシチ受信の方式には、各受信系の中で最大受信レベルの受信信号を選択して復調を行う選択合成方式、各受信系の信号を等レベルで合成して復調を行う等利得合成方式、各受信系の信号を受信レベルに比例した重み付けを行った後合成して復調を行う最大比合成方式がある。この中で最大比合成方式は、最も良い特性が得られるが、線形の受信系が必要になることや変調波信号の位相を高精度に調整することなどのため装置が複雑になり、安価に実現することは困難であった。

【0005】 図5は、従来の最大比合成ダイバーシチ受信装置の1例を示したもので4系統の受信信号を合成する構成となっている。この装置の場合、各入力端子38、39、40、41から入力される受信信号は移相器42、43、44、45により搬送波の位相を等しく揃えられた後、加算器46で信号を合成され、復調器47にてデータ復調が行なわれるものである。この時、加算器46で信号が合成されるまでは、各信号は線形に増幅されており、従って合成は線形に行われる。

【0006】 図6は、図5の従来技術による装置の信号合成をIQ平面上に示した図であり、簡単のため2系統のみ記してある。図6において、S1、S2は受信信号を表し、S1S、S1NはS1の信号成分、ノイズ成分、S2S、S2NはS2の信号成分、ノイズ成分である。一般に、ノイズ成分は信号レベルや受信系統（以後プランチと呼ぶ）に係わらずほぼ一定に加わるため、図では各プランチの受信信号は、信号成分（S1S及び、S2S）を中心とする同じ半径（|S1N|=|S2N|）の円周上の点として記してある。図5の装置、即ち、最大比合成ダイバーシチでは、各プランチの受信信号は線形に合成されるため、S1、S2をベクトル的に合成したものが復調器へ入力される合成信号となる。

【0007】 この様に、最大比合成ダイバーシチでは線形に信号合成を行うため、ノイズ成分が一定のまま信号成分が合成される。これにより合成信号のS/Nを最大にできるため、最大比合成ダイバーシチはダイバーシチ方式の中で最も良い受信性能を得ることができる。

【0008】

【発明が解決しようとする課題】 しかしながら、この構成の場合、受信信号の搬送波位相を高精度に調整するため、受信信号をA/D変換してDSP等でデジタル処理を行う必要がある。また、線形合成するためA/D変換器についてもダイナミックレンジの大きなものが必要となり、装置規模やコストが大きくなるという問題点があった。

【0009】

【課題を解決するための手段】 上述の従来技術の問題を解決するために、本発明によるダイバーシチ装置は、受信信号の位相に関する受信位相データを入力する入力手

段と、受信信号の大きさに関する受信レベルデータと前記受信位相データが入力されるとともに受信レベルデータ、あるいは、受信レベルデータの2乗と受信位相データの正弦との積を出力する複数の第1記憶手段と、受信レベルデータと受信位相データが入力されるとともに受信レベルデータ、あるいは、受信レベルデータの2乗と受信位相データの余弦との積を出力する複数の第2記憶手段と、該複数の第1および第2記憶手段から出力されるデータをそれぞれ加算する加算手段とを有することを特徴とするものである。

【0010】また、受信信号の位相を検出する位相検出手段と、該位相検出手段のデータを1シンボル時間遅延させる遅延手段と、前記位相検出手段の出力データと前記遅延手段の出力データとの差を計算する計算手段とをさらに有することを特徴とするものである。

【0011】さらに本発明によるダイバーシチ装置は、第1及び第2記憶手段を、受信位相データを一方のアドレスとし、受信レベルデータを他方のアドレスとともに、これら両方のアドレスによって特定されるデータを演算結果として出力するROMで構成したことを特徴とするものである。

【0012】

【作用】本発明によるダイバーシチ装置によれば、受信信号の位相が位相検出手段で検出され、検出した位相データを遅延手段で1シンボル遅延させ、遅延手段の出力データと位相検出手段の差を計算手段で計算し、更に、この計算手段の出力データを第1及び第2記憶手段のアドレスへ与え、又、受信レベルデータを第1及び第2記憶手段の別のアドレスへ与え、これらの記憶手段から出力される複数の受信系統のデータを加算する。また、受信信号の位相を位相検出手段で検出し、検出した位相データを遅延手段で1シンボル遅延させ、遅延手段の出力データと位相検出手段の差を計算手段で計算し、演算手段で加算又は減算を施し、更に、この演算手段の出力データを第1及び第2記憶手段のアドレスへ与え、又、受信レベルデータを第1及び第2記憶手段のアドレスへ与え、これらの記憶手段から出力される複数の受信系統のデータを加算する。

【0013】

【実施例】図1は、本発明の第1の実施例を示す図である。図1において、1、2、3、4は受信信号が入力される入力端子、5、6、7、8は受信信号の位相を検出する位相検出手段、9、10、11、12は位相検出手段5、6、7、8のデータを1シンボル時間遅延させる遅延手段、13、14、15、16及び、25、26は加算手段、17、18、19、20は受信レベル(RSS1)の量子化データ(R_n)と加算手段のデータ(θ_n)をアドレスとして加算手段データの正弦と受信レベル量子化データの2乗の積($R_n^2 \cdot \sin(\theta_n)$)を出力する第1記憶手段、21、22、23、24は受信レ

ベル量子化データと加算手段データをアドレスとして加算手段データの余弦と受信レベル量子化データの2乗の積($R_n^2 \cdot \cos(\theta_n)$)を出力する第2記憶手段、27は加算手段25及び26のデータから送信データを複号する判定手段、27は加算手段25及び26のデータから送信データに同期したクロックを出力するクロック再生手段である。

【0014】図1において各ブランチの位相検出手段5、6、7、8、遅延手段9、10、11、12、加算手段13、14、15、16から成る部分は、位相検波型の遅延検波器を構成している。即ち、この部分では、位相検出手段により受信信号の位相を検出し、検出した位相を遅延手段により1シンボル時間遅延させ、加算手段でそれらの差を検出することで1シンボル間の位相変化を検出する遅延検波を行っている。位相検波型の遅延検波器では、受信信号の位相成分のみを検出するため、受信信号の振幅成分が不要となり信号の線形増幅器は必要なくなる。

【0015】図2は、図1に示した本発明によるダイバーシチ装置に信号を入力した時の様子をIQ平面上に示したものである。本発明によるダイバーシチ装置のように位相検波型の遅延検波器では、受信信号の振幅情報が失われるため、IQ平面上では、信号は全て大きさが等しいベクトルで表される。即ち、受信信号は、原点を中心とする円周上の点で表されたため、受信信号は位相成分だけが元のままで、大きさは全て等しくなる。この場合、レベルの小さい受信信号(S2)は、ベクトル的に大きくされる(S2→S2')ため、信号成分、ノイズ成分も大きくなる(S2S→S2S'、S2N→S2N')。この逆に、レベルの大きい受信信号は、ベクトル的に小さくされる(S1→S1')ため、信号成分、ノイズ成分も小さくなる(S1S→S1S'、S1N→S1N')。

【0016】本発明によるダイバーシチ装置では、位相検波型の遅延検波器の位相データから、検波信号のI成分、Q成分を計算し、それを受信レベル情報RSS1で重み付けした後、合成を行なうものである。位相検波型遅延検波器からは、検波データとして位相量(θ_1 、 θ_2)が出力されるので、まず初めに位相量から検波信号のI成分

【0017】

【数1】

$$S_{1'} = \cos \theta_1$$

$$S_{2'} = \cos \theta_2$$

【0018】およびQ成分

【0019】

【数2】

$$S_{1'} Q = \sin \theta_1$$

$$S_{2'} Q = \sin \theta_2$$

【0020】を求める。

【0021】次に、このI、Q成分に、受信レベルの2乗に比例した量

【0022】

【数3】

$$(RSSI)^2$$

* 【0023】を重み付けする。

【0024】ここで、第nブランチの複素包絡線をZn(t)とすると、最大比合成ダイバーシチ出力VMRC(t)は、

【0025】

【数4】

*

$$V_{MRC}(t) = \sum Z_n(t) \cdot Z_n^*(t-1)$$

ただし、*は複素共役

Zn(t-1)はZn(t)の1シンボル前の信号

【0026】で示される。一方、位相検出器から出力される信号Vn(t)は振幅成分がなくなっているので、

【0027】

【数5】

$$V_n(t) = \frac{Z_n(t) \cdot Z_n^*(t-1)}{|Z_n(t) \cdot Z_n^*(t-1)|}$$

*

※ 【0028】したがって、

【0029】

【数6】

$$\begin{aligned} V_{MRC}(t) &= \sum |Z_n(t) \cdot Z_n^*(t-1)|^2 \left\{ \frac{Z_n(t) \cdot Z_n^*(t-1)}{|Z_n(t) \cdot Z_n^*(t-1)|} \right\} \\ &= \sum |Z_n(t) \cdot Z_n^*(t-1)|^2 V_n(t) \end{aligned}$$

【0030】となる。ここで、1シンボル間の振幅変動はそれほど大きくないため、

【0031】

【数7】

$$|Z_n(t)| \doteq |Z_n(t-1)|$$

$$\therefore |Z_n(t) \cdot Z_n^*(t-1)|^2 \doteq |Z_n(t)|^2$$

【0032】であり、Zn(t)はRSSIそのものであるので、

【0033】

【数8】

$$V_{MRC}(t) \doteq \sum (RSSI)^2 V_n(t)$$

【0034】となる。

【0035】本発明の実施例では、この動作を記憶手段を用いてテーブル変換により行っている。合成する前の重み付けされたI、Q成分は、検波位相データθと受信レベルRSSIが分かれば

【0036】

【数9】

$$I \text{ 成分} = (RSSI)^2 \cos(\theta)$$

$$Q \text{ 成分} = (RSSI)^2 \sin(\theta)$$

【0037】により一意的に求めることができる。従つて、記憶手段に予めI、Q成分の計算結果を書き込んで

おき、記憶手段に検波位相データθと受信レベルを与えて計算結果を取り出す。一例として、記憶手段にROMを用いる場合を考えると、上位アドレスへ受信レベルデータを、下位アドレスへ検波位相データを入力し、それら示すアドレスに書き込んである計算データを出すこと

30 でこの処理を行うことができる。

【0038】そして各ブランチの重み付けされたI、Q成分は、加算器25、26により各成分ごとに合成される。

【0039】

【数10】

$$I \text{ 成分} = S_{1 \cdot I} + S_{2 \cdot I}$$

$$Q \text{ 成分} = S_{1 \cdot Q} + S_{2 \cdot Q}$$

40 【0040】この合成されたI、Q成分より作られる合成信号は、図6で信号を線形合成したものと等しくなるため、合成信号のS/N劣化を生じさせることなく、良好な特性を得ることができる。

【0041】また、図3は、記憶手段を1ブランチ分だけ用意し、時分割で用いるよう構成した第2の実施例である。図において29はタイミング発生手段、30a、30bはセレクタ、31、32はラッチ、33は遅延手段である。この実施例では、タイミング発生手段29によって発生されるタイミングによりセレクタ30a、30bを動作させ、1組の第1記憶手段17および第2記

憶手段21により各ブランチの検波位相データからI、Q成分を算出するものである。すなわち、第1及び第2記憶手段17、21に入力端子1、2、3、4からの信号を順次入力するとともに、第1、第2記憶手段17、21の出力を4回累積加算した後ラッピし、加算器25、26の出力をリセットするものである。

【0042】また、同様に、位相検出手段、遅延手段、加算手段なども時分割で用いることもできる。

【0043】更に、図4は記憶手段を1だけ用意し、もう片方は入力される位相データにオフセットを加えて入力することで、1つの記憶手段を時分割で用いた第3の実施例である。すなわち、タイミング発生手段33によってオフセット手段34およびセレクタ37を動作させることにより、一つの記憶手段36のみにより実現するものである。このとき、オフセットデータは2つ用意し、セレクタ37と同じタイミングで切り換える。オフセットデータは、加算器35の入力データがNビット

【0044】

【数11】

$0 \sim 2^{N-1}$

【0045】のとき、

【0046】

【数12】

2^{N-1}

【0047】だけ異なる値とする。(たとえば、 $N=8$ のとき、0と64、64と128、128と192等)

【0048】

【発明の効果】本発明によれば、最大比合成ダイバーシ

チ装置をメモリーや加算器、シフトレジスタなどIC化に適した小規模のデジタル回路のみで構成することができ、高価なDSPなどを使用する必要もなくなる。更に、本発明の装置へ入力する信号も線形である必要がないため、無線回路では構成が簡単な非線形増幅を行うことができる。これらの相乗効果により、本発明では、従来の同機能の装置を非常に安価に構成することができ、本発明の装置を使用した無線機器全体のコストダウンを図ることできる。

10 【図面の簡単な説明】

【図1】本発明の第1の実施例を示すブロック図である。

【図2】本発明による位相検波型遅延検波器によるIQ平面上での信号合成を示す図である。

【図3】本発明の第2の実施例を示すブロック図である。

【図4】本発明の第3の実施例を示すブロック図である。

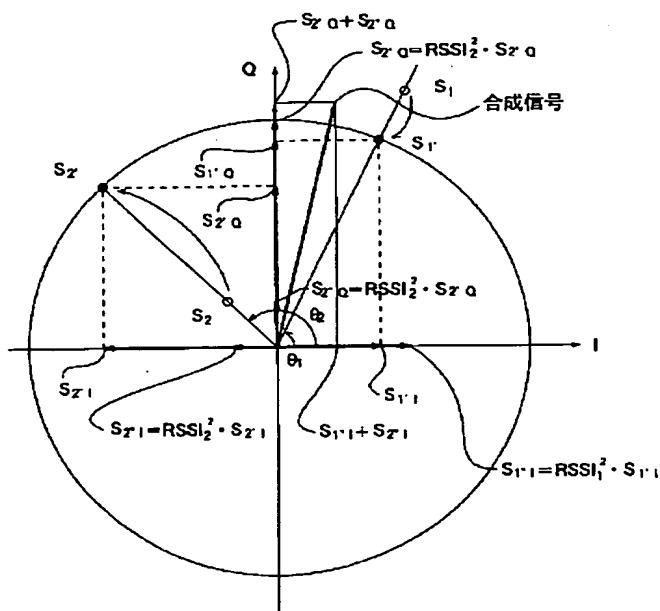
【図5】従来技術を示すブロック図である。

20 【図6】従来技術による最大比合成ダイバーシチによるIQ平面上での信号合成を示す図である。

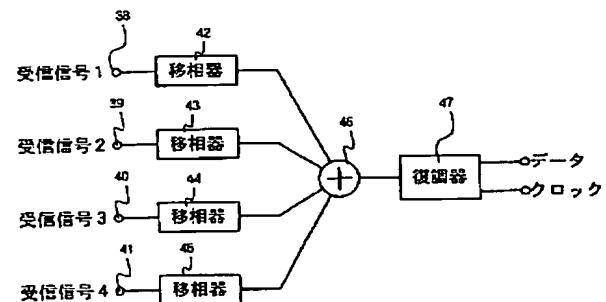
【符号の説明】

1、2、3、4	入力端子
5、6、7、8	位相検出手段
9、10、11、12	遅延手段
13、14、15、16	加算手段
17、18、19、20	第1記憶手段
21、22、23、24	第2記憶手段
25、26	加算手段

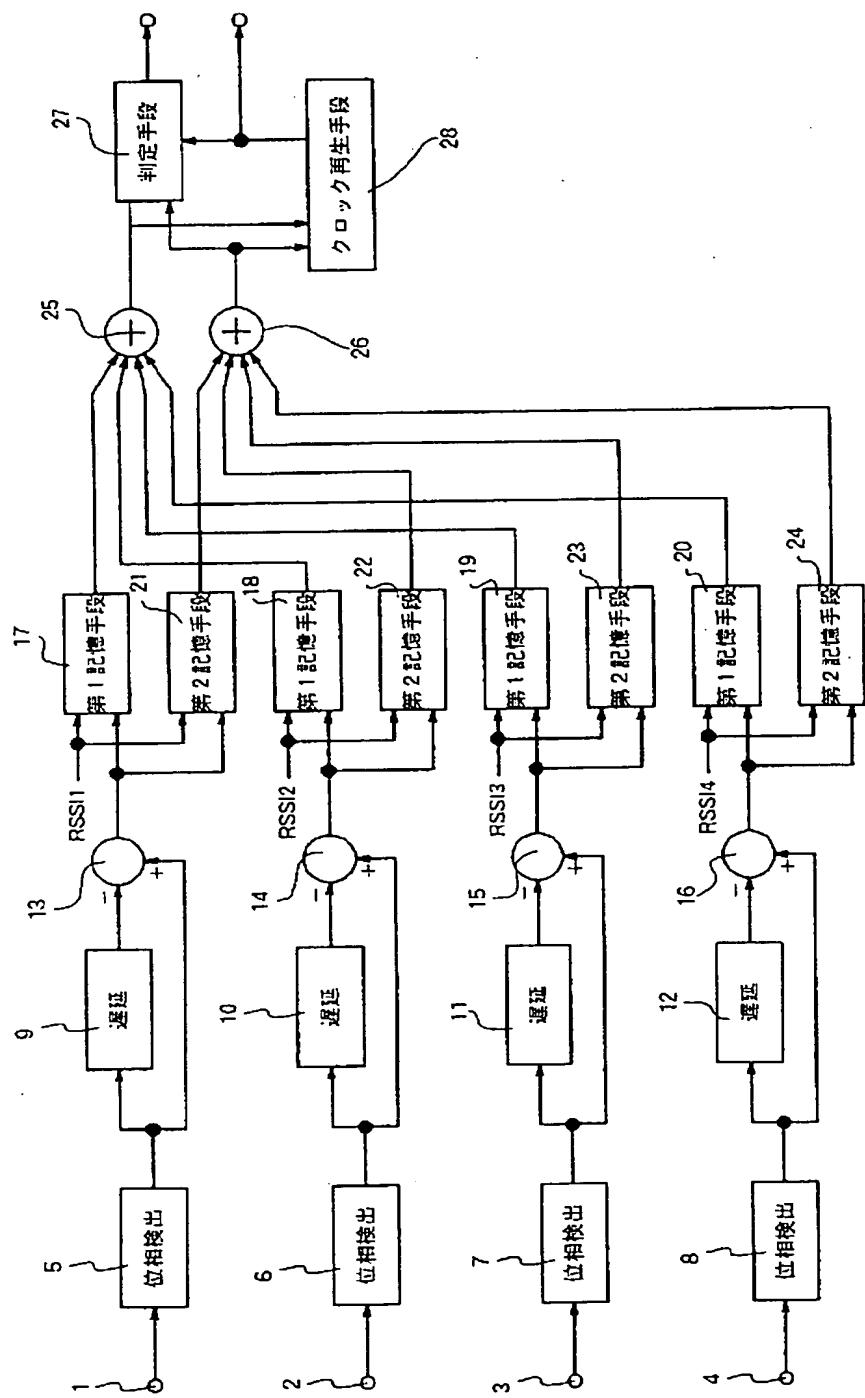
【図2】



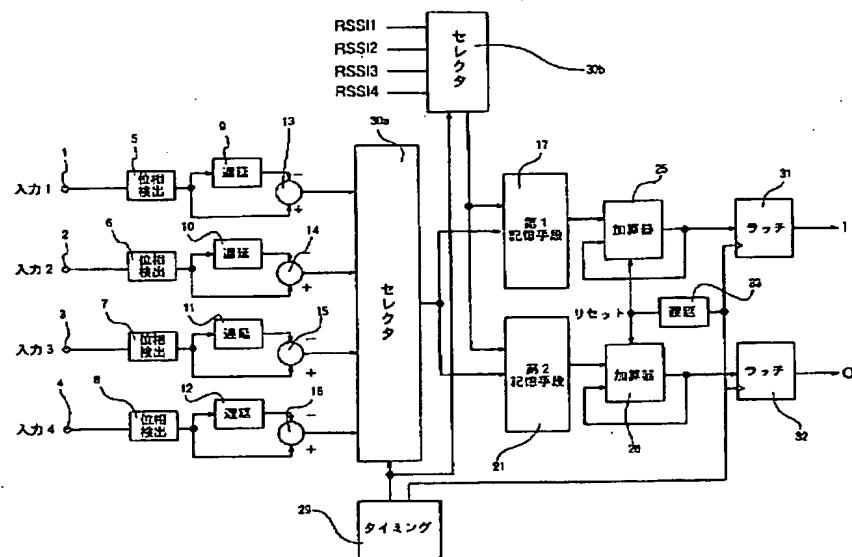
【図5】



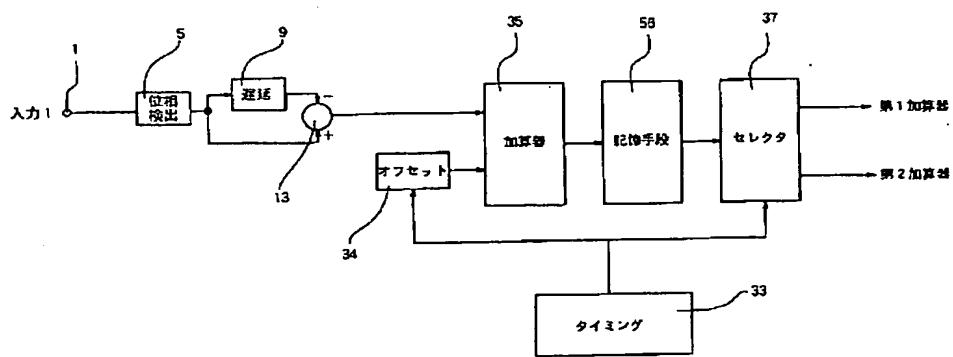
【図1】



【図3】



【図4】



【図6】

